

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masahiro KAMOSHIDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SHARED SENSE AMPLIFIER SCHEME SEMICONDUCTOR MEMORY DEVICE AND METHOD OF
TESTING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-191164	July 3, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0380306

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 7月 3日

出願番号 Application Number: 特願2003-191164

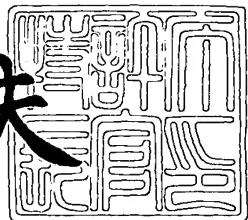
[ST. 10/C]: [JP2003-191164]

出願人 Applicant(s): 株式会社東芝

2003年 7月 23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 A000300937
【提出日】 平成15年 7月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明の名称】 半導体記憶装置およびその試験方法
【請求項の数】 24
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 鴨志田 昌弘
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 高島 大三郎
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】**【識別番号】** 100088683**【弁理士】****【氏名又は名称】** 中村 誠**【選任した代理人】****【識別番号】** 100108855**【弁理士】****【氏名又は名称】** 蔵田 昌俊**【選任した代理人】****【識別番号】** 100084618**【弁理士】****【氏名又は名称】** 村松 貞男**【選任した代理人】****【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその試験方法

【特許請求の範囲】

【請求項1】 センスアンプと、

前記センスアンプに接続されたビット線と、

前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第1，第2の選択トランジスタと、

前記第1の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第1のメモリセルアレイと、

前記第2の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第2のメモリセルアレイと、

前記第1，第2の選択トランジスタをそれぞれ制御して、前記第1，第2のメモリセルアレイを同時に動作状態に設定する設定回路と、

前記ビット線の電位を制御する制御回路と

を具備したことを特徴とする半導体記憶装置。

【請求項2】 ファティーグ試験時に、前記制御回路により前記強誘電体キャパシタの電位差を制御することによって、前記設定回路により同時に動作状態に設定された前記第1，第2のメモリセルアレイに対して同時にテストを実施することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記ビット線は、信号線対からなることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記セルトランジスタの各ゲート端子にはワード線がそれぞれ接続されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】 前記第1，第2のメモリセルアレイは、それぞれ、前記複数のメモリセルが所定個づつ直列に接続された複数のメモリブロックを含み、前記複数のメモリブロックの一端が、ブロック選択トランジスタをそれぞれ介して前記ビット線に接続され、他端が、プレート線にそれぞれ接続されていることを特

徴とする請求項1に記載の半導体記憶装置。

【請求項6】 前記複数のメモリセルは、それぞれ、前記セルトランジスタのソース・ドレイン端子間に、前記強誘電体キャパシタが接続されていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】 前記第1，第2のメモリセルアレイは、それぞれ、ゲート端子にワード線が接続された前記セルトランジスタのソース・ドレイン端子の一方に前記強誘電体キャパシタの一端を接続してなる前記複数のメモリセルを備え、

前記複数のメモリセルは、それぞれ、前記セルトランジスタのソース・ドレイン端子の他方が前記ビット線に接続され、前記強誘電体キャパシタの他端がプレート線に接続されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項8】 センスアンプと、

前記センスアンプに接続されたビット線と、

前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第1，第2の選択トランジスタと、

前記第1の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第1のメモリセルアレイと、

前記第2の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第2のメモリセルアレイと、

前記第1，第2の選択トランジスタをそれぞれ制御して、前記第1，第2のメモリセルアレイを同時に動作状態に設定する設定回路と、

前記ビット線の電位を制御する制御回路と
を具備し、

前記制御回路により前記強誘電体キャパシタの電位差を制御することによって、前記設定回路により同時に動作状態に設定された前記第1，第2のメモリセルアレイに対して同時にテストを実施するようにしたことを特徴とする半導体記憶装置の試験方法。

【請求項9】 前記第1，第2のメモリセルアレイに対して同時に実施され

るテストはファティーグ試験であることを特徴とする請求項8に記載の半導体記憶装置の試験方法。

【請求項10】 前記ビット線は、信号線対からなることを特徴とする請求項8に記載の半導体記憶装置の試験方法。

【請求項11】 前記第1，第2のメモリセルアレイは、それぞれ、ゲート端子にワード線が接続された前記セルトランジスタのソース・ドレイン端子間に、前記強誘電体キャパシタを接続してなる前記複数のメモリセルが、所定個づつ直列に接続された複数のメモリブロックを含み、前記複数のメモリブロックの一端がブロック選択トランジスタをそれぞれ介して前記ビット線に接続され、他端がプレート線にそれぞれ接続されていることを特徴とする請求項8に記載の半導体記憶装置の試験方法。

【請求項12】 前記第1，第2のメモリセルアレイに対し、ファティーグ試験時には、所定の前記ワード線を選択し、全ての前記ブロック選択トランジスタを選択した状態において、前記ビット線の電位と前記プレート線の電位とを交互に繰り返し変化させることを特徴とする請求項11に記載の半導体記憶装置の試験方法。

【請求項13】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第1の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項12に記載の半導体記憶装置の試験方法。

【請求項14】 前記ファティーグ試験時には、前記ビット線に接続された第2の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第3の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項12に記載の半導体記憶装置の試験方法。

【請求項15】 前記第1，第2のメモリセルアレイに対し、ファティーグ試験時には、所定の前記ワード線を選択し、所定の前記ブロック選択トランジスタを選択した状態において、リード動作を実行させることを特徴とする請求項11に記載の半導体記憶装置の試験方法。

【請求項16】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第1の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項15に記載の半導体記憶装置の試験方法。

【請求項17】 前記ファティーグ試験時には、前記ビット線に接続された第2の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第3の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項15に記載の半導体記憶装置の試験方法。

【請求項18】 前記第1，第2のメモリセルアレイは、それぞれ、ゲート端子にワード線が接続された前記セルトランジスタのソース・ドレイン端子の一方に前記強誘電体キャパシタの一端を接続してなる前記複数のメモリセルを備え、

前記複数のメモリセルは、それぞれ、前記セルトランジスタのソース・ドレン端子の他方が前記ビット線に接続され、前記強誘電体キャパシタの他端がプレート線に接続されていることを特徴とする請求項8に記載の半導体記憶装置の試験方法。

【請求項19】 前記第1，第2のメモリセルアレイに対し、ファティーグ試験時には、全ての前記ワード線を選択した状態において、前記ビット線の電位と前記プレート線の電位とを交互に繰り返し変化させることを特徴とする請求項18に記載の半導体記憶装置の試験方法。

【請求項20】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第1の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項19に記載の半導体記憶装置の試験方法。

【請求項21】 前記ファティーグ試験時には、前記ビット線に接続された第2の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第3の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項19に記載の半導体

記憶装置の試験方法。

【請求項22】 前記第1，第2のメモリセルアレイに対し、ファティーグ試験時には、所定の前記ワード線を選択した状態において、リード動作を実行させることを特徴とする請求項18に記載の半導体記憶装置の試験方法。

【請求項23】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第1の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項22に記載の半導体記憶装置の試験方法。

【請求項24】 前記ファティーグ試験時には、前記ビット線に接続された第2の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第3の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項22に記載の半導体記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置およびその試験方法に関するもので、特に、強誘電体キヤパシタ（Ferroelectric Capacitor）を用いた不揮発性の半導体記憶装置（FeRAM（Ferroelectric Random Access Memory））に関する。

【0002】

【従来の技術】

近年、半導体記憶装置の一つとして、強誘電体キヤパシタを用いたFeRAMが注目されている。FeRAMには、TC並列ユニット直列接続型強誘電体メモリが用いられている。TC並列ユニット直列接続型強誘電体メモリとは、セルトランジスタ（T）のソース・ドレイン端子間に強誘電体キヤパシタ（C）の両端をそれぞれ接続してセルユニット（メモリセル）とし、このセルユニットを複数直列に接続したものである。このような構成のFeRAMは、不揮発性であり、しかも書き換え回数が10の12乗、読み出し時間、書き込み時間がDRAM（

Dynamic RAM) 程度、2.5Vから5Vの低電圧動作が可能などの長所がある。そのため、全メモリ市場を席巻する可能性がある（たとえば、特許文献1参照）。

【0003】

図11は、従来のFeRAMの構成例を示すものである。なお、ここでは、2つのセルアレイがセンスアンプの両側にそれぞれ接続される、シェアードセンスアンプ方式を採用するFeRAMを例に説明する。

【0004】

図11に示すように、このFeRAMの各セルアレイCAは、セルトランジスタ(T)101と強誘電体キャパシタ(C)102とが並列に接続された複数のメモリセル(セルユニット)MCを直列に接続したTC並列ユニット直列接続型強誘電体メモリを含む、複数のメモリブロックMBを有している。各メモリブロックMBの一方の端子はプレート線PL(この例の場合、PL0またはPL1)に接続され、他方の端子はブロック選択トランジスタ103を介して、ビット線BLまたは/BLに接続されている。ブロック選択トランジスタ103の各ゲートは、ブロック選択信号線BS(この例の場合、BS00, BS01, BS10, BS11)に接続されている。

【0005】

セルトランジスタ101の各ゲートには、ワード線WL(この例の場合、WL00, WL01, ~, WL0nまたはWL10, WL11, ~, WL1n)が接続されている。ビット線BLおよび/BLは、それぞれ、セルアレイ選択トランジスタ104を介して、シェアード方式のセンスアンプ(S/A)105に接続されている。セルアレイ選択トランジスタ104の各ゲートには、セルアレイ選択信号線ST0またはST1が接続されている。セルアレイ選択信号線ST0またはST1の各ゲートは、セルアレイ選択回路107に接続されている。

【0006】

セルアレイ選択回路107には、N+1本のアドレス信号線ADx(x=0, ~, n)が接続されている。このセルアレイ選択回路107は、たとえば、アドレス信号線ADxを介して供給されるアドレス信号に応じて、対応するセルアレ

イ選択信号線S T 0, S T 1のいずれか一方を選択するように構成されている。

【0007】

また、ビット線B Lには、nMOS (Metal Oxide Semiconductor) トランジスタ106aのドレインが接続されている。nMOSトランジスタ106aのソースは信号線V B L R 0に接続され、ゲートは信号線B E Q Lに接続されている。ビット線/B Lには、nMOSトランジスタ106bのドレインが接続されている。nMOSトランジスタ106bのソースは信号線V B L R 1に接続され、ゲートは信号線B E Q Lに接続されている。

【0008】

このような構成において、所定のメモリセルMC aにアクセスするノーマルアクセス時においては、たとえば図12に示すように、選択したメモリセルMC aに接続されているワード線WL 0 1の電位をロウレベル“L (LOW)”にする。それ以外のワード線WLの電位はハイレベル“H (HIGH)”のままである。また、ブロック選択信号線B S 0 0, B S 0 1の電位を“H”にする。このとき、他のブロック選択信号線B S 1 0, B S 1 1の電位は“L”的ままである。さらに、セルアレイ選択回路107により、セルアレイ選択信号線S T 0の電位を“H”にする。このとき、セルアレイ選択信号線S T 1の電位は“L”的ままである。こうして、選択した所定のメモリセルMC aへのアクセスが行われる。

【0009】

上記のように、ノーマルアクセス時においては、データ破壊を防ぐため、セルアレイ選択信号線S T 0およびS T 1が同時に“H”になることはない。つまり、F e R A Mの場合、センスアンプ105にシェアード接続される2つのセルアレイCAに対して、同時にアクセスすることは禁止されている。

【0010】

一方、耐久(疲労)テストであるファティーグ試験においては、たとえば図13(a)に示すように、テストするメモリセルMCのワード線WLの電位を“L”にする。また、セルアレイ選択回路107により、対応するセルアレイ選択信号線S T 0またはS T 1(図11参照)の電位を“H”にする。さらに、選択したセルアレイCAのブロック選択信号線B Sの電位を全て“H”にする(図13

(b) 参照)。そして、対応するプレート線PL0またはPL1の電位、および、ビット線BL, /BLの電位を交互に繰り返しスイングさせる(図13(c), 図13(d) 参照)。

【001.1】

このように、ファティギング試験時においても、ノーマルアクセス時の場合と同様に、センスアンプ105にシェアード接続される2つのセルアレイCAのうち、一方のセルアレイCAだけを動作させるようになっている。

【001.2】

図14は、従来のFeRAMの他の構成例を示すものである。なお、ここでは、2つのセルアレイがセンスアンプの両側にそれぞれ接続される、シェアードセンスアンプ方式を採用するFeRAMを例に説明する。

【001.3】

図14に示すように、このFeRAMの各セルアレイCAは、それぞれ、セルトランジスタ(T)201と強誘電体キャパシタ(C)202とが直列に接続された複数のメモリセル(セルユニット)MCを有している。各メモリセルMCにおいて、強誘電体キャパシタ202の一方の端子はプレート線PL(この例の場合、PL0, PL1, PL2, PL3のいずれか)に接続され、他方の端子はセルトランジスタ201を介して、ビット線BLまたは/BLに接続されている。

【001.4】

セルトランジスタ201の各ゲートには、ワード線WL(この例の場合、WL00, WL01, WL02またはWL10, WL11, WL12)が接続されている。ビット線BLおよび/BLは、それぞれ、セルアレイ選択トランジスタ204を介して、シェアード方式のセンスアンプ205に接続されている。セルアレイ選択トランジスタ204の各ゲートには、セルアレイ選択信号線ST0またはST1が接続されている。セルアレイ選択信号線ST0またはST1は、セルアレイ選択回路207に接続されている。

【001.5】

セルアレイ選択回路207には、N+1本のアドレス信号線ADx(x=0~n)が接続されている。このセルアレイ選択回路207は、たとえば、アドレス

信号線A D xを介して供給されるアドレス信号に応じて、対応するセルアレイ選択信号線S T 0, S T 1のいずれか一方を選択するよう構成されている。

【0016】

また、ビット線B Lには、nMOSトランジスタ206aのドレインが接続されている。nMOSトランジスタ206aのソースは信号線V B L R 0に接続され、ゲートは信号線B E Q Lに接続されている。ビット線／B Lには、nMOSトランジスタ206bのドレインが接続されている。nMOSトランジスタ206bのソースは信号線V B L R 1に接続され、ゲートは信号線B E Q Lに接続されている。

【0017】

このような構成において、所定のメモリセルMC bにアクセスするノーマルアクセス時においては、たとえば図15に示すように、選択したメモリセルMC bに接続されているワード線WL 0 1の電位を“H”にする。また、セルアレイ選択回路207により、セルアレイ選択信号線S T 0の電位を“H”にする。こうして、選択した所定のメモリセルMC bへのアクセスが行われる。

【0018】

上記のように、ノーマルアクセス時においては、データ破壊を防ぐため、セルアレイ選択信号線S T 0およびS T 1が同時に“H”になることはない。つまり、この構成のF e R A Mの場合にも、センスアンプ205にシェアード接続される2つのセルアレイCAに対して、同時にアクセスすることは禁止されている。

【0019】

一方、ファティーグ試験においては、たとえば図16(a)に示すように、テストするメモリセルMCのワード線WLの電位を“H”にする。また、セルアレイ選択回路207により、対応するセルアレイ選択信号線S T 0またはS T 1(図14参照)の電位を“H”にする。そして、対応するプレート線P Lの電位およびビット線B L, ／B Lの電位を交互に繰り返しスイングさせる(図16(b), 図16(c)参照)。

【0020】

このF e R A Mの場合も、ファティーグ試験時においては、ノーマルアクセス

時の場合と同様に、センスアンプ205にシェアード接続される2つのセルアレイCAのうち、一方のセルアレイCAだけを動作させるようになっている。

【0021】

【特許文献1】

特開平10-255483

【0022】

【発明が解決しようとする課題】

上記したように、シェアードセンスアンプ方式を採用するF e R A Mの場合、ファテイギ試験時にも、センスアンプにシェアード接続される2つのセルアレイのうちの一方のセルアレイしか動作させていないため、2つのセルアレイを個々にテストしなければならず、これがテスト時間を増加させる要因となっていた。

【0023】

そこで、この発明は、センスアンプに接続される2つのセルアレイを同時にテストでき、テスト時間を短縮することが可能な半導体記憶装置およびその試験方法を提供することを目的としている。

【0024】

【課題を解決するための手段】

本願発明の一態様によれば、センスアンプと、前記センスアンプに接続されたビット線と、前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第1、第2の選択トランジスタと、前記第1の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第1のメモリセルアレイと、前記第2の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第2のメモリセルアレイと、前記第1、第2の選択トランジスタをそれぞれ制御して、前記第1、第2のメモリセルアレイを同時に動作状態に設定する設定回路と、前記ビット線の電位を制御する制御回路とを具備したことを特徴とする半導体記憶装置が提供される。

【0025】

また、本願発明の一態様によれば、センスアンプと、前記センスアンプに接続されたビット線と、前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第1，第2の選択トランジスタと、前記第1の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第1のメモリセルアレイと、前記第2の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第2のメモリセルアレイと、前記第1，第2の選択トランジスタをそれぞれ制御して、前記第1，第2のメモリセルアレイを同時に動作状態に設定する設定回路と、前記ビット線の電位を制御する制御回路とを具備し、前記制御回路により前記強誘電体キャパシタの電位差を制御することによって、前記設定回路により同時に動作状態に設定された前記第1，第2のメモリセルアレイに対して同時にテストを実施するようにしたことを特徴とする半導体記憶装置の試験方法が提供される。

【0026】

上記した構成によれば、センスアンプにシェアード接続された2つのセルアレイを同時に動作させることが可能になる。これにより、テスト時間を従来の半分程度に短縮できるようになるものである。

【0027】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0028】

(第1の実施形態)

図1は、本発明の第1の実施形態にしたがったF e R A Mの構成例を示すものである。このF e R A Mの場合、センスアンプ11に対して2つのセルアレイC Aがシェアード接続される、シェアードセンスアンプ方式が用いられている。

【0029】

すなわち、シェアード方式のセンスアンプ(S/A)11には、相補の信号線対であるビット線B Lおよび／B Lが接続されている。上記ビット線B Lおよび／B Lには、セルアレイ選択トランジスタ12a, 12bを介して、セルアレイ

C Aが接続されている。また、上記ビット線B Lおよび／B Lには、セルアレイ選択トランジスタ13a, 13bを介して、セルアレイC Aが接続されている。このように、各セルアレイC Aは、センスアンプ11を挟んで、その両側にそれぞれ配置されている（シェアードセンスアンプ方式）。

【0030】

各セルアレイC Aは、複数のメモリブロックMBを有している。メモリブロックMBのそれぞれは、セルトランジスタ(T)1と強誘電体キャパシタ(C)2とが並列に接続された複数のメモリセル(セルユニット)MCを直列に接続したTC並列ユニット直列接続型強誘電体メモリを含んでいる。各メモリブロックMBの一方の端子はプレート線PLk(k=0, ~, k)のいずれかに接続され、他方の端子はブロック選択トランジスタ14をそれぞれ介して、ビット線B Lまたは／B Lに接続されている。ブロック選択トランジスタ14の各ゲートは、ブロック選択信号線BS(この例の場合、BS00～BSk0, BS01～BSk1およびBS10～, BS11～)に接続されている。

【0031】

セルトランジスタ1の各ゲートには、ワード線WL(この例の場合、WL00～WL0n, WLk0～WLkn, WL10～WL1n)が接続されている。セルアレイ選択トランジスタ12a, 12bの各ゲートにはセルアレイ選択信号線ST0が、また、セルアレイ選択トランジスタ13a, 13bの各ゲートにはセルアレイ選択信号線ST1が、それぞれ接続されている。セルアレイ選択信号線ST0, ST1は、それぞれ、オア回路15a, 15bを介して、セルアレイ選択回路16に接続されている。

【0032】

セルアレイ選択回路16には、N+1本のアドレス信号線ADx(x=0, ~, n)が接続されている。このセルアレイ選択回路16は、アドレス信号線ADxを介して供給されるアドレス信号に応じて、対応するセルアレイ選択信号線ST0またはST1のいずれか一方を選択するもので、たとえば図2に示すように、アドレス信号線ADxの電位の少なくとも1つが一定期間ハイレベル“H”になると、セルアレイ選択信号線ST0を選択する、つまり、セルアレイ選択信号

線S T 0の電位を“H”に、セルアレイ選択信号線S T 1の電位をロウレベル“L”に設定するように構成されている。

【0033】

オア回路15a, 15bの一方の入力端には、それぞれ上記セルアレイ選択回路16の出力が供給されている。また、他方の入力端には、それぞれファティーグ試験を示すテスト制御信号F T Gが供給されるようになっている。テスト制御信号F T Gが“H”になっている間は、たとえば図3に示すように、アドレス信号に関わらず、セルアレイ選択信号線S T 0およびS T 1の電位が共に“H”になる。これにより、ファティーグ試験時には、センスアンプ11の両側のセルアレイCA, CAが同時に動作状態に設定されることになる。

【0034】

なお、テスト制御信号F T Gが“L”的間は、セルアレイ選択信号線S T 0またはS T 1のいずれか一方が“L（または、両方とも“L”）”になる。これにより、たとえばノーマルアクセス時には、センスアンプ11のどちらか一方のセルアレイCAだけが動作状態に設定されることになる。

【0035】

ビット線B Lには、nMOS (Metal Oxide Semiconductor) トランジスタ17aのドレインが接続されている。nMOSトランジスタ17aのソースは信号線V B L R 0に接続され、ゲートは信号線B E Q Lに接続されている。ビット線／B Lには、nMOSトランジスタ17bのドレインが接続されている。nMOSトランジスタ17bのソースは信号線V B L R 1に接続され、ゲートは信号線B E Q Lに接続されている。なお、各信号線B E Q L, V B L R 0, V B L R 1は、制御回路31によって制御されるようになっている。

【0036】

このような構成において、上記ファティーグ試験（たとえば、メモリセルMC aのテスト）時には、所定のワード線WL 01, WL k 1, WL 11, の電位を“L”にする。また、全てのブロック選択信号線B S 00, B S 01, B S k 0, B S k 1, B S 10, B S 11, の電位を“H”にする。また、テスト制

御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。これにより、センスアンプ11にシェアード接続される、2つのセルアレイCA, CAを同時に動作させる。そして、動作する2つのセルアレイCA, CAの、プレート線PL0, PL1, ~, PLkの電位をスイングさせる。また、制御回路31によって信号線BEQLを制御し、nMOSトランジスタ17a, 17bの各ゲートに装置の外部からのパルス信号を印加（“H”に固定）して、ビット線BLおよび/BLの電位をスイングさせる。こうして、ビット線BL, /BLの電位とプレート線PLk ($k = 0, \sim, k$) の電位とを交互に繰り返し変化させることにより、動作する2つのセルアレイCA, CAに対し、所望のファティーグ試験が同時に実施される。

【0037】

こうすることにより、ファティーグ試験時にのみ、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させることができとなり、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることができる。

【0038】

なお、上記した第1の実施形態においては、プレート線PLk ($k = 0, \sim, k$) の電位とビット線BLおよび/BLの電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図4に示すように、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行されることによっても、ファティーグ試験を実施することは可能である。

【0039】

すなわち、ファティーグ試験を行う場合において、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、選択するメモリセルMCaのワード線WL01, WL11の電位を“L”にする。また、選択するブロック選択信

号線BS00, BS01, BS10, BS11の電位だけを“H”にする。こうして、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

【0040】

このように、図1に示した構成において、同時に動作する2つのセルアレイCA, CAに対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることができある。

【0041】

(第2の実施形態)

図5は、本発明の第2の実施形態にしたがったFeRAMの構成例を示すものである。ここでは、上記ファティーグ試験時において、電源電位21に接続されたnMOSトランジスタ22a, 22b、および、グランド電位23に接続されたpMOSトランジスタ24a, 24bを用いて、ビット線BLおよび/BLの電位をスイングさせるように構成した場合について説明する。なお、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

【0042】

この実施形態の場合、ビット線BLおよび/BLには、上記nMOSトランジスタ17a, 17bに代えて、nMOSトランジスタ22a, 22bおよびpMOSトランジスタ24a, 24bが接続されている。すなわち、nMOSトランジスタ22a, 22bの各ゲートには、信号線BEQLが共通に接続されている。各ソースは電源電位21に接続され、各ドレインはビット線BLまたは/BLのいずれかに接続されている。pMOSトランジスタ24a, 24bの各ゲートには、信号線BEQLPが共通に接続されている。各ソースはグランド電位23に接続され、各ドレインはビット線BLまたは/BLのいずれかに接続されている。なお、各信号線BEQL, BEQLPは、制御回路32によって制御されるようになっている。

【0043】

このような構成において、上記ファティーグ試験（たとえば、メモリセルMC

aのテスト）を行う場合、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、テストするメモリセルMCaのワード線WL01, WLk1, WL11, ~の電位を“L”に、全てのブロック選択信号線BS00, BS01, BSk0, BSk1, BS10, BS11, ~の電位を“H”にする。そして、動作する2つのセルアレイCA, CAに対し、プレート線PL0, PL1, ~, PLkの電位をスイングさせる。

【0044】

また、制御回路32によって、nMOSトランジスタ22a, 22bの各ゲートにつながる信号線BEQL、および、pMOSトランジスタ24a, 24bの各ゲートにつながる信号線BEQLPを制御して、ビット線BLおよび／BLの電位をスイングさせる。この場合、制御回路32は、nMOSトランジスタ22a, 22bを用いてビット線BL, ／BLの電位を電源電位21まで上昇させ、pMOSトランジスタ24a, 24bを用いてビット線BL, ／BLの電位をグランド電位23に下降させる。こうして、ビット線BL, ／BLの電位とプレート線PLk (k = 0, ~, k) の電位とを交互に繰り返し変化させることにより、動作する2つのセルアレイCA, CAに対し、所望のファティーグ試験が同時に実施される。

【0045】

このような構成によっても、第1の実施形態の場合と同様に、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能である。

【0046】

なお、上記した第2の実施形態においては、プレート線PLk (k = 0, ~, k) の電位とビット線BLおよび／BLの電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図6に示すように、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによっても、ファティーグ試験を

実施することは可能である。

【0047】

すなわち、ファティーグ試験を行う場合において、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、選択するメモリセルMCaのワード線WL01, WL11の電位を“L”にする。また、選択するブロック選択信号線BS00, BS01, BS10, BS11の電位だけを“H”にする。こうして、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

【0048】

このように、図5に示した構成において、同時に動作する2つのセルアレイCA, CAに対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることができある。

【0049】

(第3の実施形態)

図7は、本発明の第3の実施形態にしたがったF e R A Mの構成例を示すものである。ここでは、メモリセルアレイCAのそれぞれが、セルトランジスタ(T)1と強誘電体キャパシタ(C)2とが直列に接続された複数のメモリセル(セルユニット)MCにより構成されてなる場合を例に説明する。なお、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

【0050】

すなわち、シェアード方式のセンスアンプ(S/A)11には、相補の信号線対であるビット線BLおよび/BLが接続されている。上記ビット線BLおよび/BLには、セルアレイ選択トランジスタ12a, 12bを介して、セルアレイCAが接続されている。また、上記ビット線BLおよび/BLには、セルアレイ選択トランジスタ13a, 13bを介して、セルアレイCAが接続されている。このように、各セルアレイCAは、センスアンプ11を挟んで、その両側にそれぞれ配置されている(シェアードセンスアンプ方式)

各セルアレイCAは、1つのセルトランジスタ1と1つの強誘電体キャパシタ2とを含む、複数のメモリセル（セルユニット）MCを有して構成されている。各メモリセルMCにおいて、強誘電体キャパシタ2の一方の端子はプレート線PL_k（k=0, ~, k）のいずれかに接続され、他方の端子はセルトランジスタ1をそれぞれ介して、ビット線BLまたは／BLに接続されている。

【0051】

セルトランジスタ1の各ゲートには、ワード線WL（この例の場合、WL00～WL0k, WL10～）が接続されている。セルアレイ選択トランジスタ12a, 12bの各ゲートにはセルアレイ選択信号線ST0が、また、セルアレイ選択トランジスタ13a, 13bの各ゲートにはセルアレイ選択信号線ST1が、それぞれ接続されている。セルアレイ選択信号線ST0, ST1は、それぞれ、オア回路15a, 15bを介して、セルアレイ選択回路16に接続されている。

【0052】

このような構成において、上記ファティーグ試験（たとえば、メモリセルMCaのテスト）時には、全てのワード線WL00～WL0k, WL10～の電位を“H”にする。また、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。これにより、センスアンプ11にシェアード接続される、2つのセルアレイCA, CAを同時に動作させる。そして、動作する2つのセルアレイCA, CAの、プレート線PL0, PL1, PL2, PL3, ~, PLkの電位をスイングさせる。

【0053】

また、制御回路31によって信号線BEQLを制御し、nMOSトランジスタ17a, 17bの各ゲートに装置の外部からのパルス信号を印加（“H”に固定）して、ビット線BLおよび／BLの電位をスイングさせる。こうして、ビット線BL, ／BLの電位とプレート線PL_k（k=0, ~, k）の電位とを交互に繰り返し変化させることにより、動作する2つのセルアレイCA, CAに対し、所望のファティーグ試験が同時に実施される。

【0054】

こうすることにより、ファティーグ試験時にのみ、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させることが可能となり、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能となる。

【0055】

なお、上記した第3の実施形態においては、プレート線PLk ($k = 0, \sim, k$) の電位とビット線BLおよび/ $\bar{B}L$ の電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図8に示すように、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによっても、ファティーグ試験を実施することは可能である。

【0056】

すなわち、ファティーグ試験を行う場合において、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、選択するメモリセルMCaのワード線WL01, WL11の電位を“L”にする。こうして、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

【0057】

このように、図7に示した構成において、同時に動作する2つのセルアレイCA, CAに対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることができある。

【0058】

(第4の実施形態)

図9は、本発明の第4の実施形態にしたがったF e R A Mの構成例を示すものである。ここでは、上記ファティーグ試験時において、電源電位21に接続されたnMOSトランジスタ22a, 22b、および、グランド電位23に接続され

たpMOSトランジスタ24a, 24bを用いて、ビット線BLおよび/BLの電位をスイングさせるように構成した場合について説明する。なお、図7と同一部分には同一符号を付し、詳しい説明は割愛する。

【0059】

この実施形態の場合、ビット線BLおよび/BLには、上記nMOSトランジスタ17a, 17bに代えて、nMOSトランジスタ22a, 22bおよびpMOSトランジスタ24a, 24bが接続されている。すなわち、nMOSトランジスタ22a, 22bの各ゲートには、信号線BEQLが共通に接続されている。各ソースは電源電位21に接続され、各ドレインはビット線BLまたは/BLのいずれかに接続されている。pMOSトランジスタ24a, 24bの各ゲートには、信号線BEQLPが共通に接続されている。各ソースはグランド電位23に接続され、各ドレインはビット線BLまたは/BLのいずれかに接続されている。なお、各信号線BEQL, BEQLPは、制御回路32によって制御されるようになっている。

【0060】

このような構成において、上記ファティーグ試験（たとえば、メモリセルMCaのテスト）を行う場合、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、全てのワード線WL00～WL0k, WL10～の電位を“H”にする。そして、動作する2つのセルアレイCA, CAに対し、プレート線PL0, PL1, ~, PLkの電位をスイングさせる。

【0061】

また、制御回路32によって、nMOSトランジスタ22a, 22bの各ゲートにつながる信号線BEQL、および、pMOSトランジスタ24a, 24bの各ゲートにつながる信号線BEQLPを制御して、ビット線BLおよび/BLの電位をスイングさせる。この場合、制御回路32は、nMOSトランジスタ22a, 22bを用いてビット線BL, /BLの電位を電源電位21まで上昇させ、pMOSトランジスタ24a, 24bを用いてビット線BL, /BLの電位をグランド電位23に下降させる。こうして、ビット線BL, /BLの電位とプレー

ト線PL_k ($k = 0, \sim, k$) の電位とを交互に繰り返し変化させることにより、動作する2つのセルアレイCA, CAに対し、所望のファティーグ試験が同時に実施される。

【0062】

このような構成によっても、第3の実施形態の場合と同様に、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能である。

【0063】

なお、上記した第4の実施形態においては、プレート線PL_k ($k = 0, \sim, k$) の電位とビット線BLおよび/BLの電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図10に示すように、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによっても、ファティーグ試験を実施することは可能である。

【0064】

すなわち、ファティーグ試験を行う場合において、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、選択するメモリセルMCaのワード線WL01, WL11の電位を“L”にする。こうして、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

【0065】

このように、図9に示した構成において、同時に動作する2つのセルアレイCA, CAに対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることができる。

【0066】

その他、本発明は、上記（各）実施形態に限定されるものではなく、実施段階

ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0067】

【発明の効果】

以上、詳述したようにこの発明によれば、センスアンプに接続される2つのセルアレイを同時にテストでき、テスト時間を短縮することが可能な半導体記憶装置およびその試験方法を提供できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態にしたがったFeRAMの構成例を示す回路図。

【図2】 図1のFeRAMにおいて、ノーマルアクセス時のセルアレイ選択動作を説明するために示す信号波形図。

【図3】 図1のFeRAMにおいて、ファティーグ試験時のセルアレイ選択動作を説明するために示す信号波形図。

【図4】 図1のFeRAMにおいて、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図5】 本発明の第2の実施形態にしたがったFeRAMの構成例を示す回路図。

【図6】 図5のFeRAMにおいて、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図7】 本発明の第3の実施形態にしたがったFeRAMの構成例を示す回路図。

【図8】 図7のFeRAMにおいて、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図9】 本発明の第4の実施形態にしたがったFeRAMの構成例を示す回路図。

【図10】 図9のFeRAMにおいて、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図11】 従来技術とその問題点を説明するために示す、FeRAMの回路構成図。

【図12】 図11のFeRAMにおいて、ノーマルアクセス時の動作を説明するために示す回路図。

【図13】 図11のFeRAMにおいて、ファティーグ試験時の動作を説明するために示す信号波形図。

【図14】 従来のFeRAMの他の構成例を示す回路図。

【図15】 図14のFeRAMにおいて、ノーマルアクセス時の動作を説明するために示す回路図。

【図16】 図14のFeRAMにおいて、ファティーグ試験時の動作を説明するために示す信号波形図。

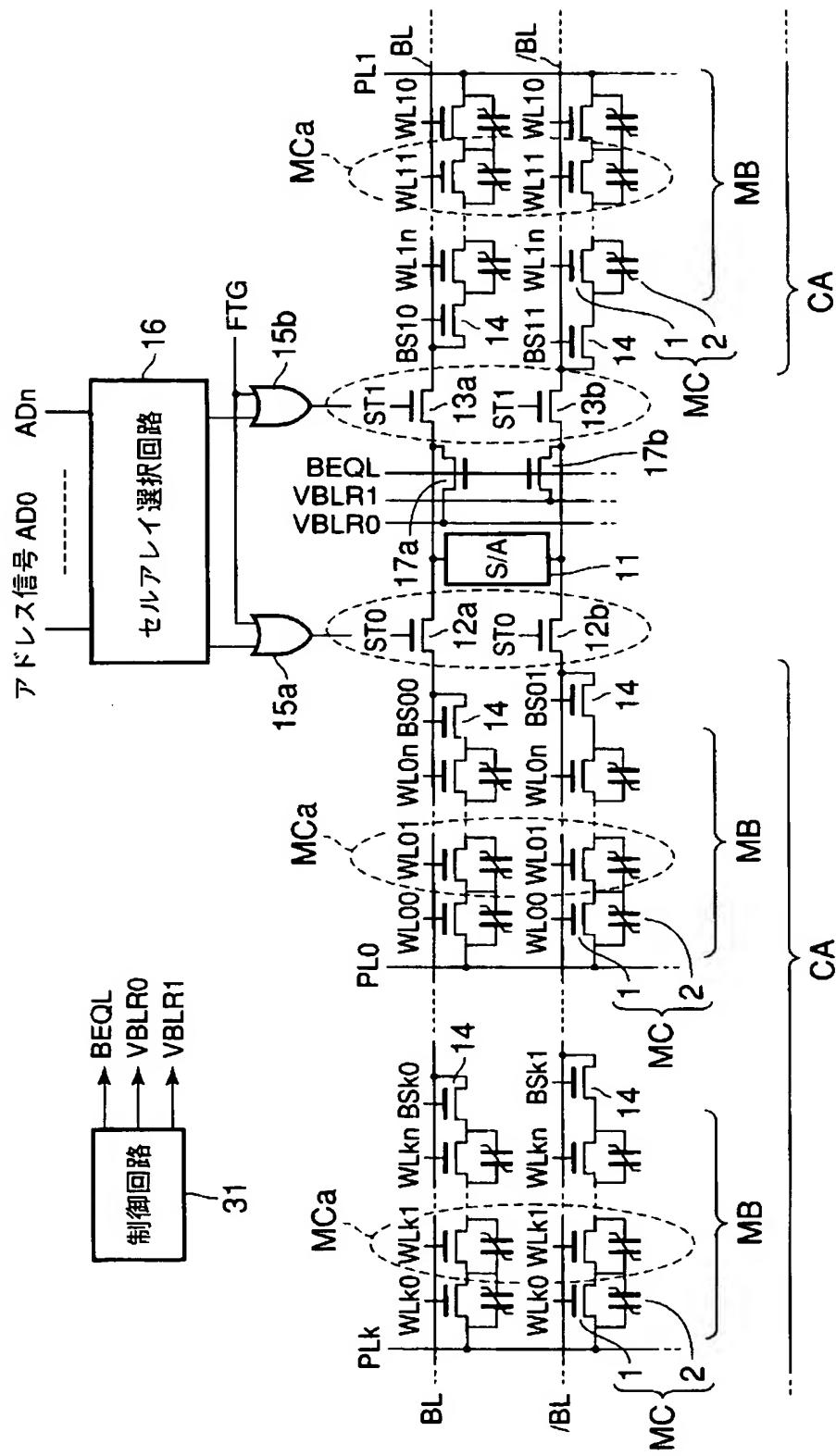
【符号の説明】

1…セルトランジスタ (T)、2…強誘電体キャパシタ (C)、11…センスアンプ、12a, 12b, 13a, 13b…セルアレイ選択トランジスタ、14…ブロック選択トランジスタ、15a, 15b…オア回路、16…セルアレイ選択回路、17a, 17b…nMOSトランジスタ、21…電源電位、22a, 22b…nMOSトランジスタ、23…グランド電位、24a, 24b…pMOSトランジスタ、31, 32…制御回路、BL, /BL…ビット線、CA…セルアレイ、MB…メモリブロック、MC, MCa…メモリセル (セルユニット)、PL…プレート線、BS…ブロック選択信号線、WL…ワード線、ST0, ST1…セルアレイ選択信号線、ADx…アドレス信号線、FTG…テスト制御信号、VBLR0, VBLR1, BEQL, BEQLP…信号線。

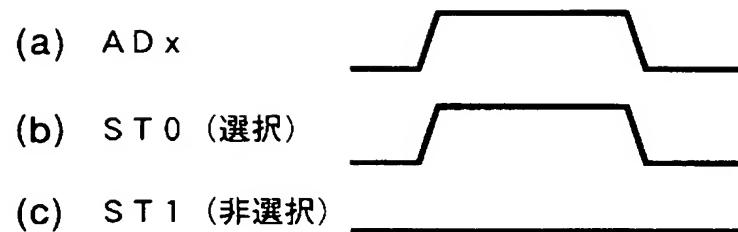
【書類名】

図面

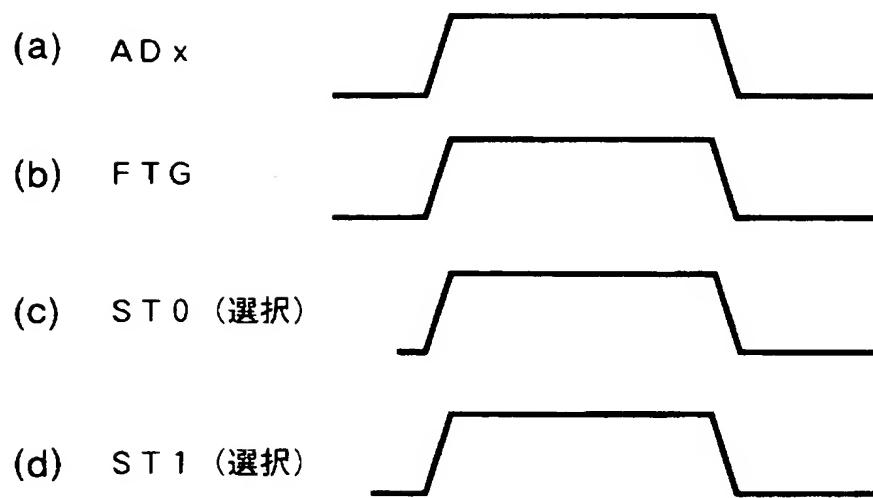
【図 1】



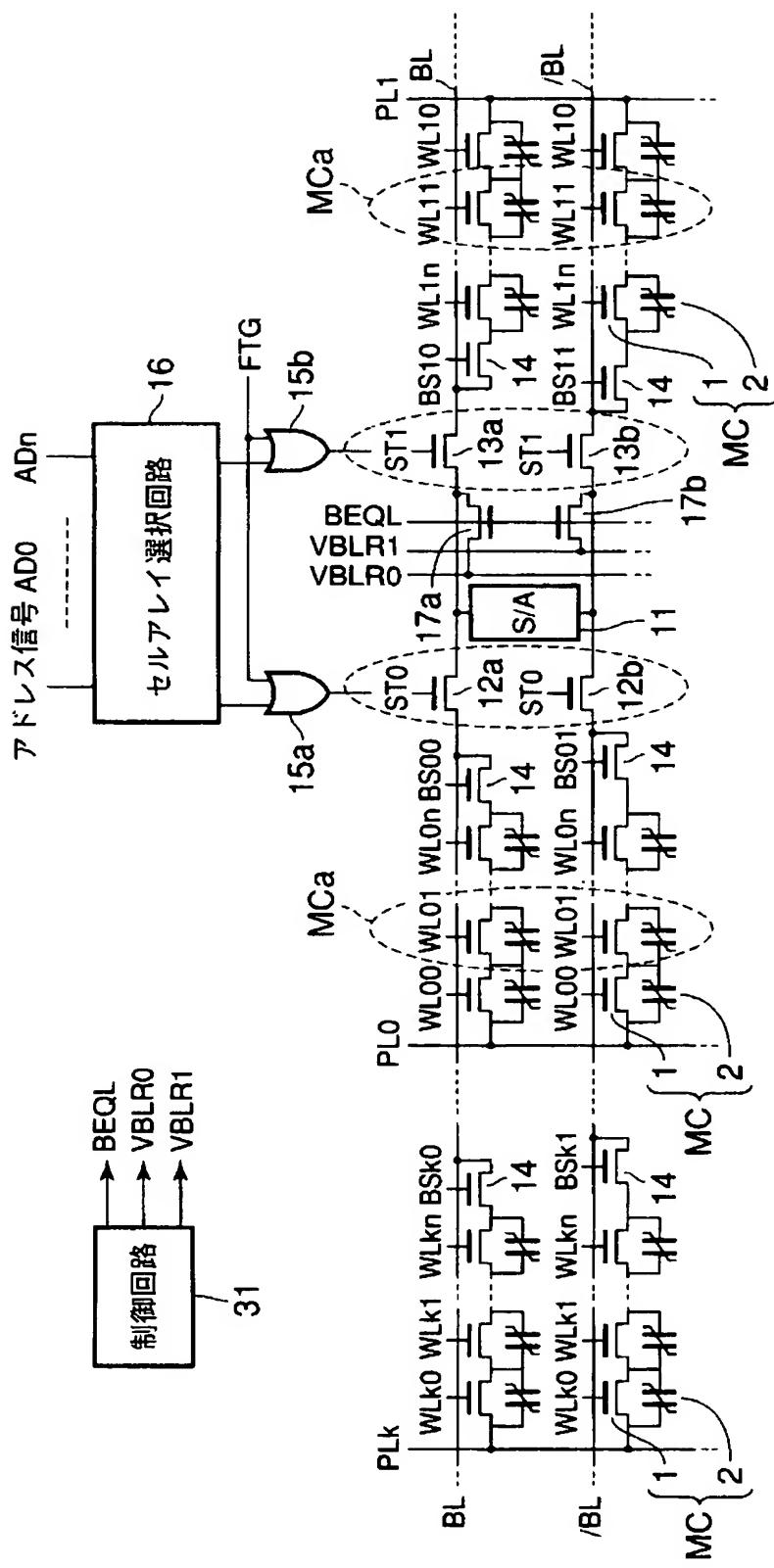
【図2】



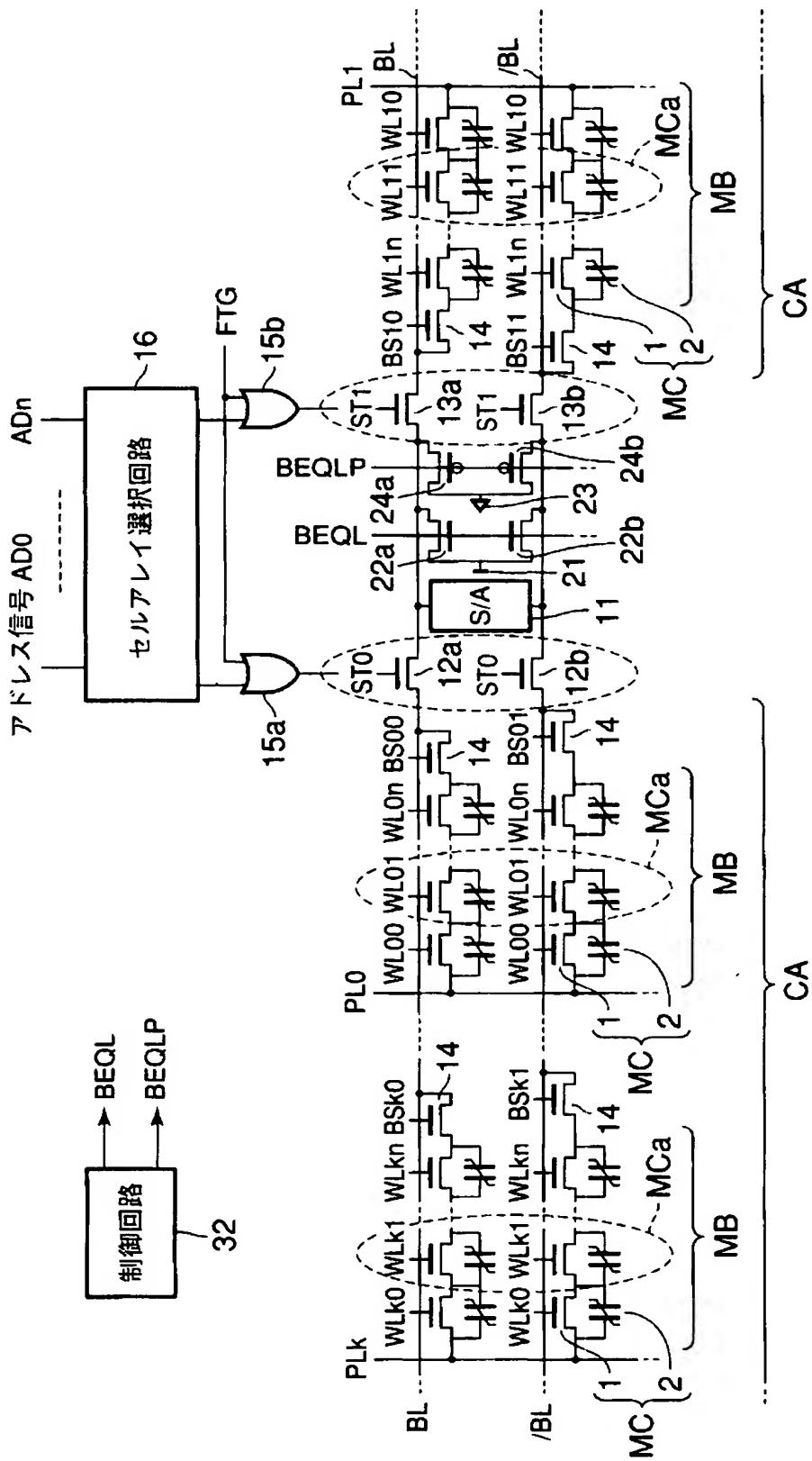
【図3】



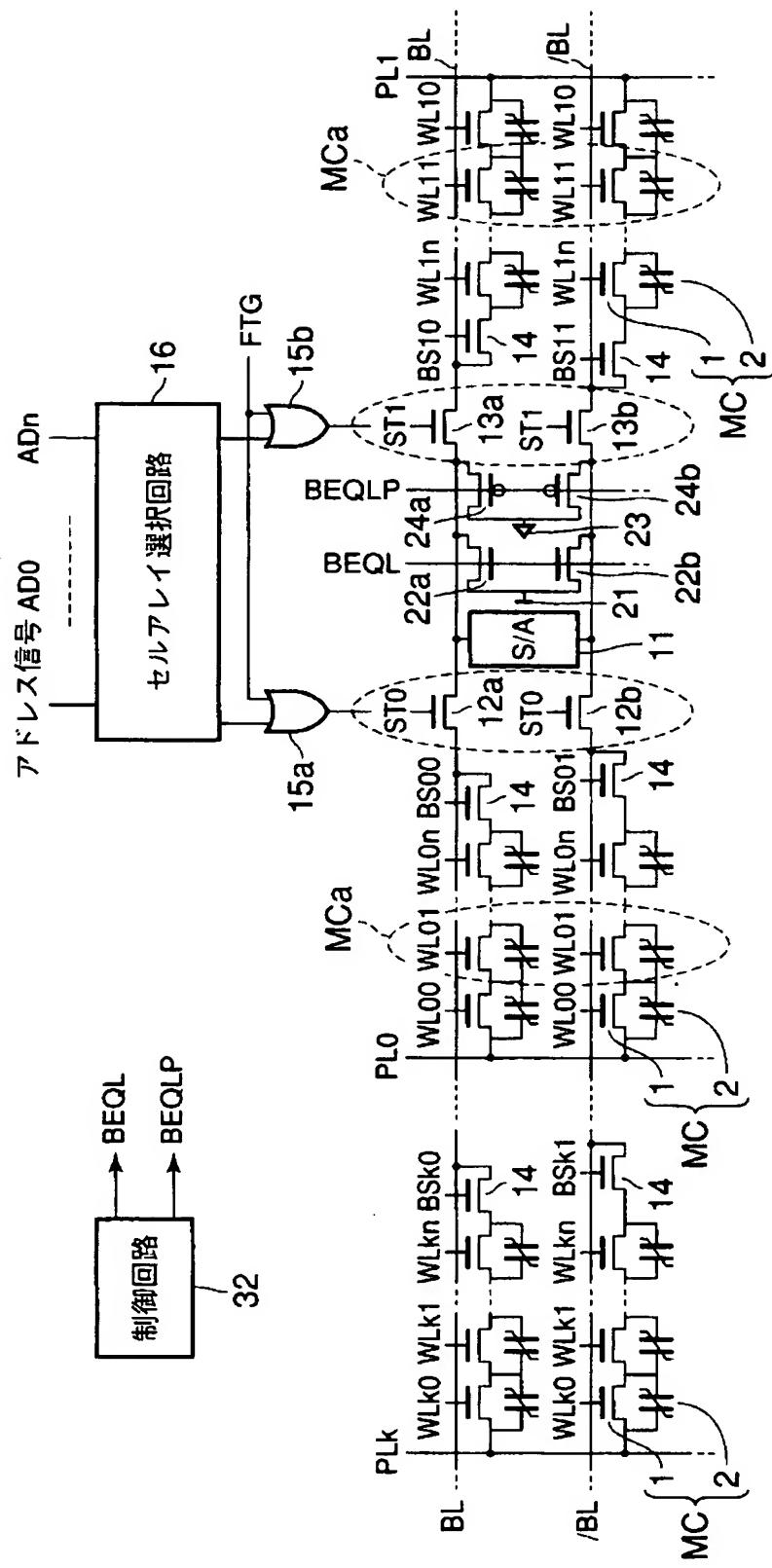
【図4】



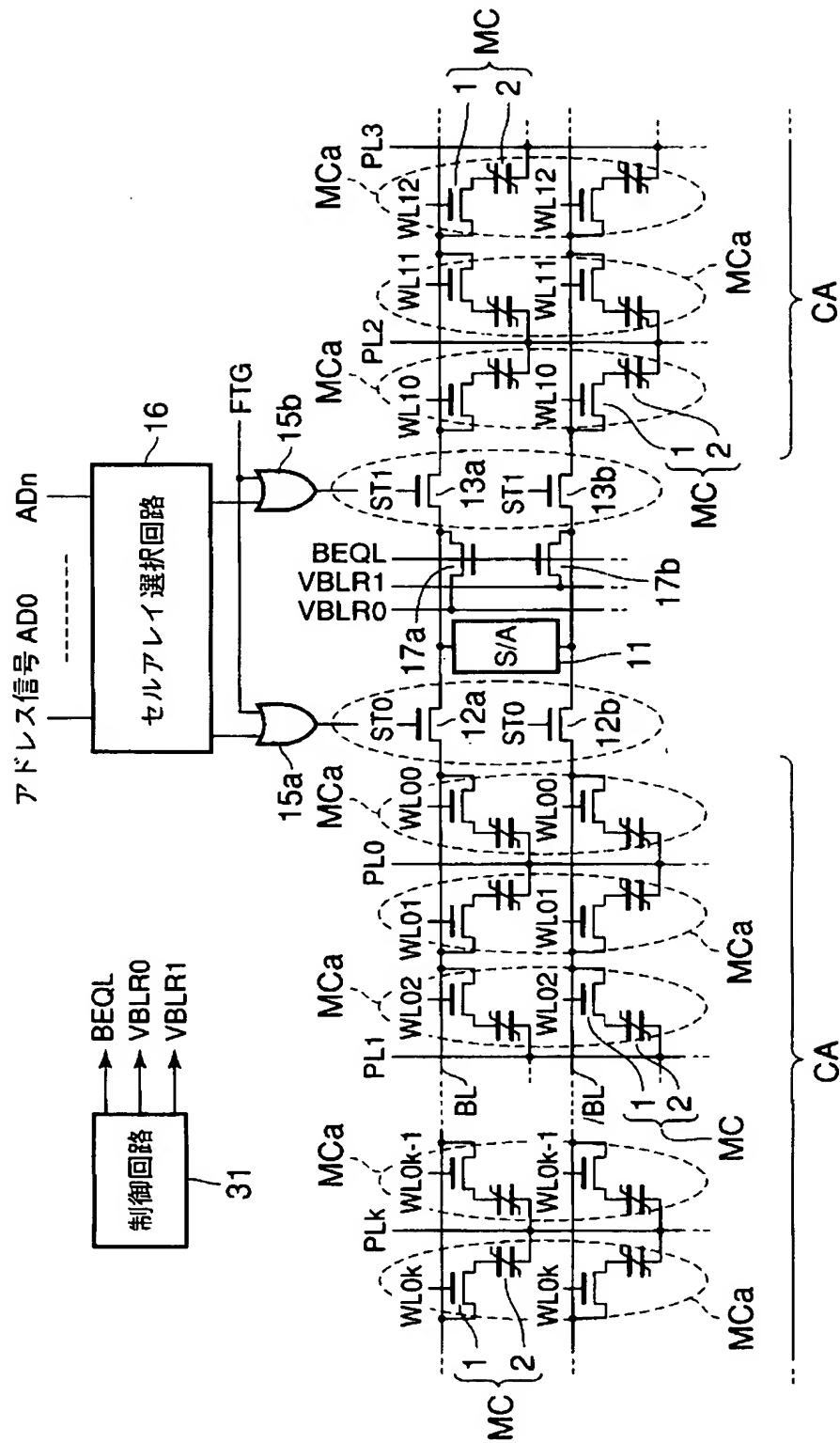
【図5】



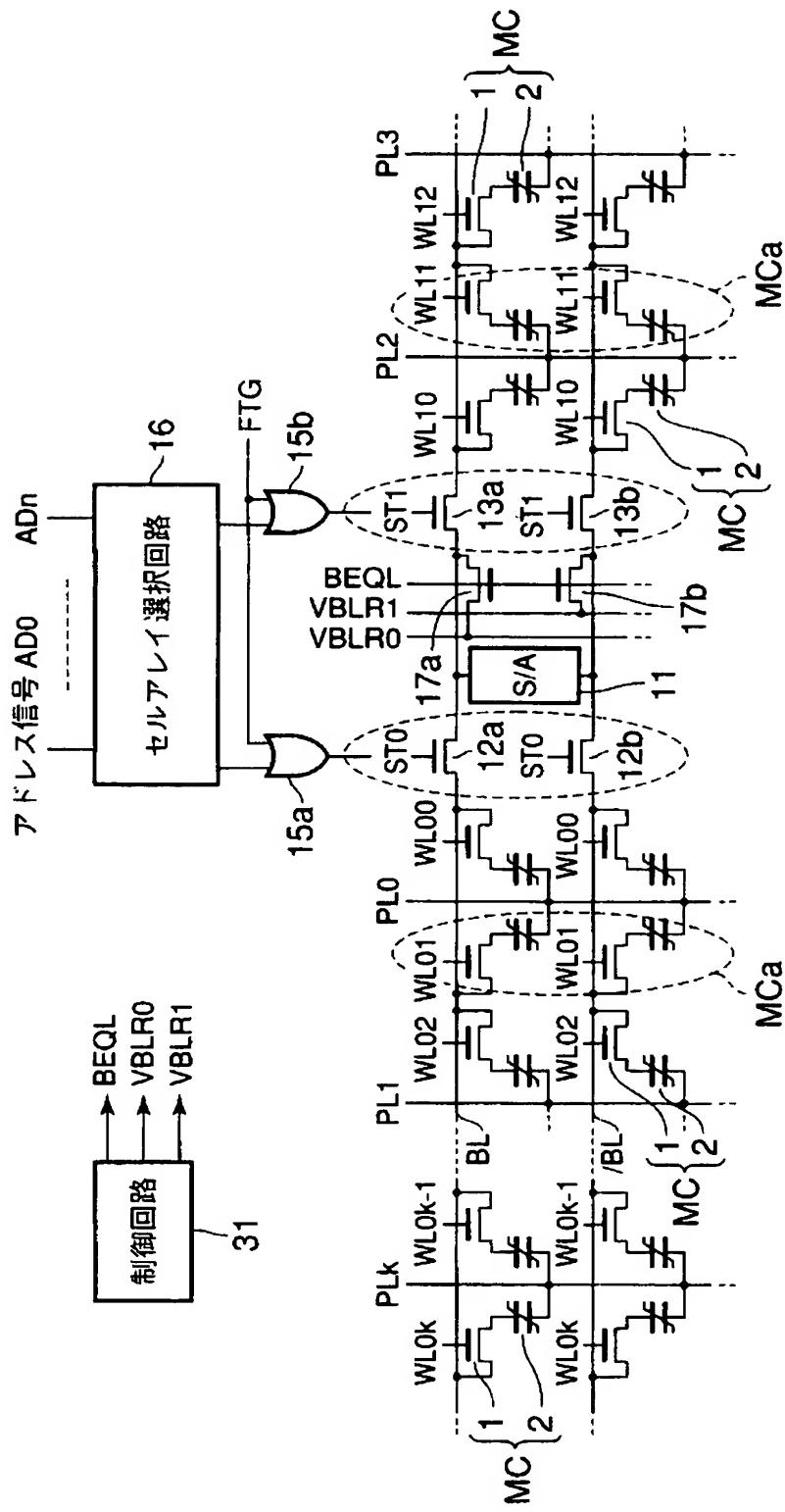
【図6】



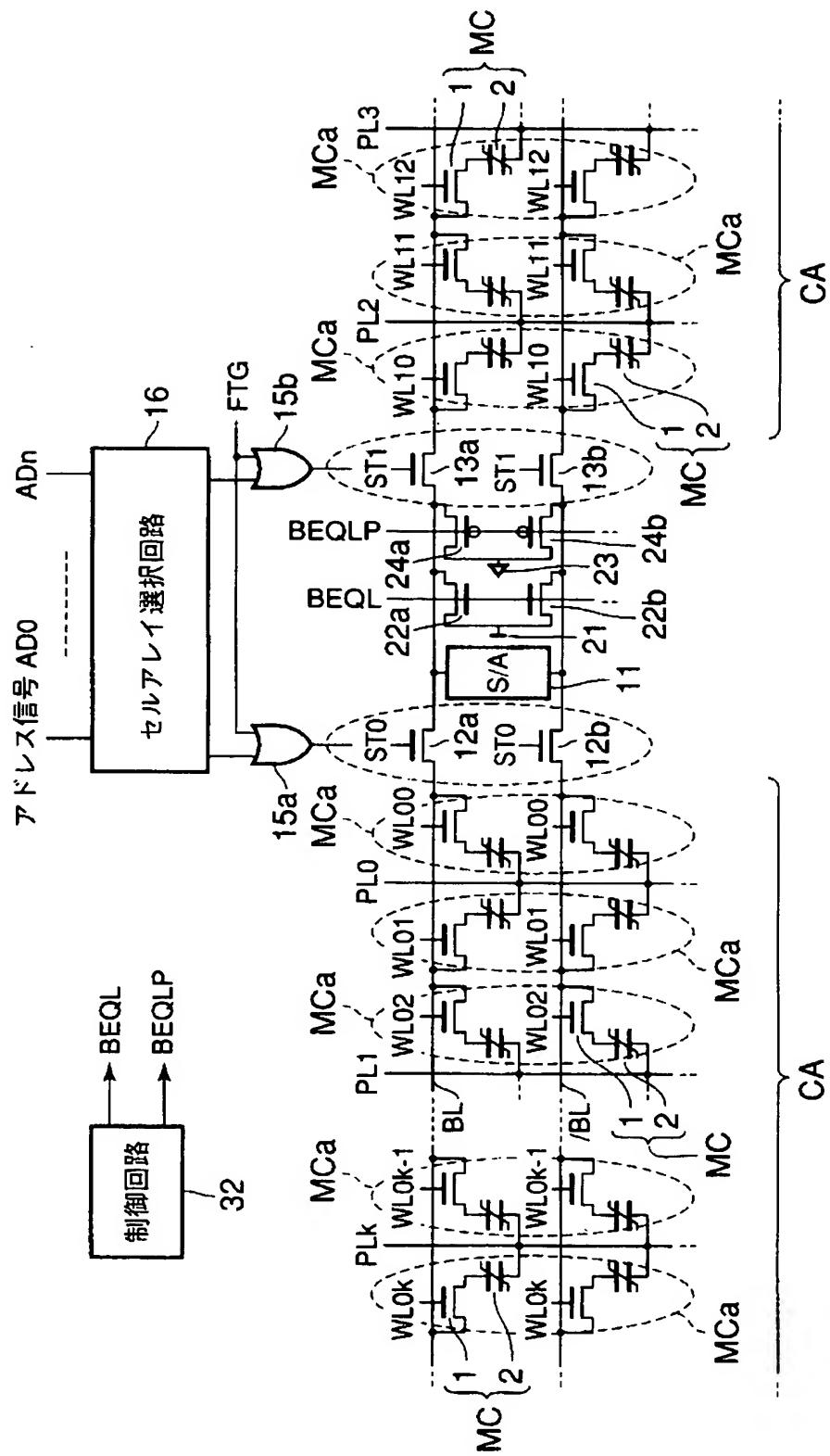
【図7】



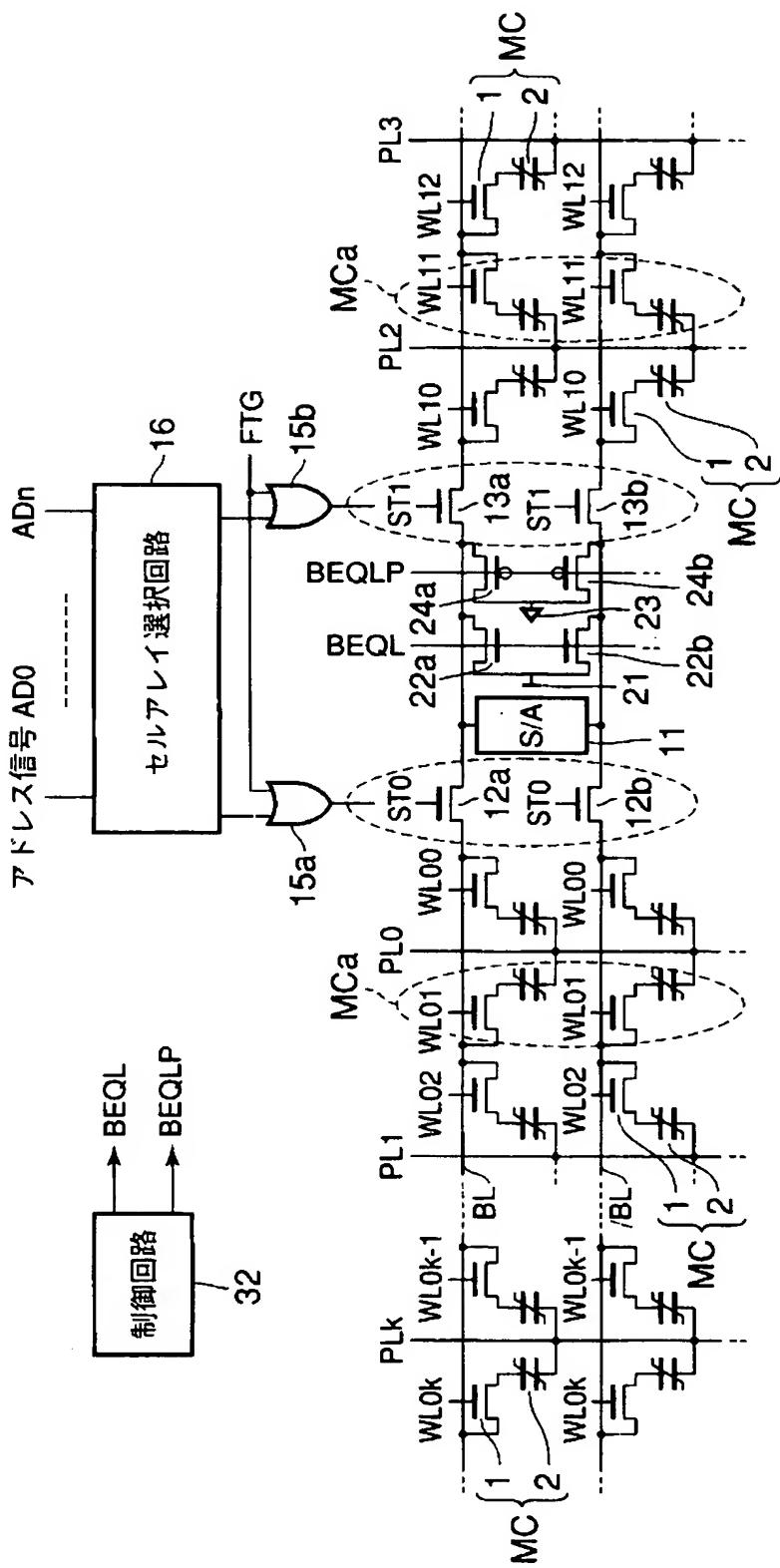
【図8】



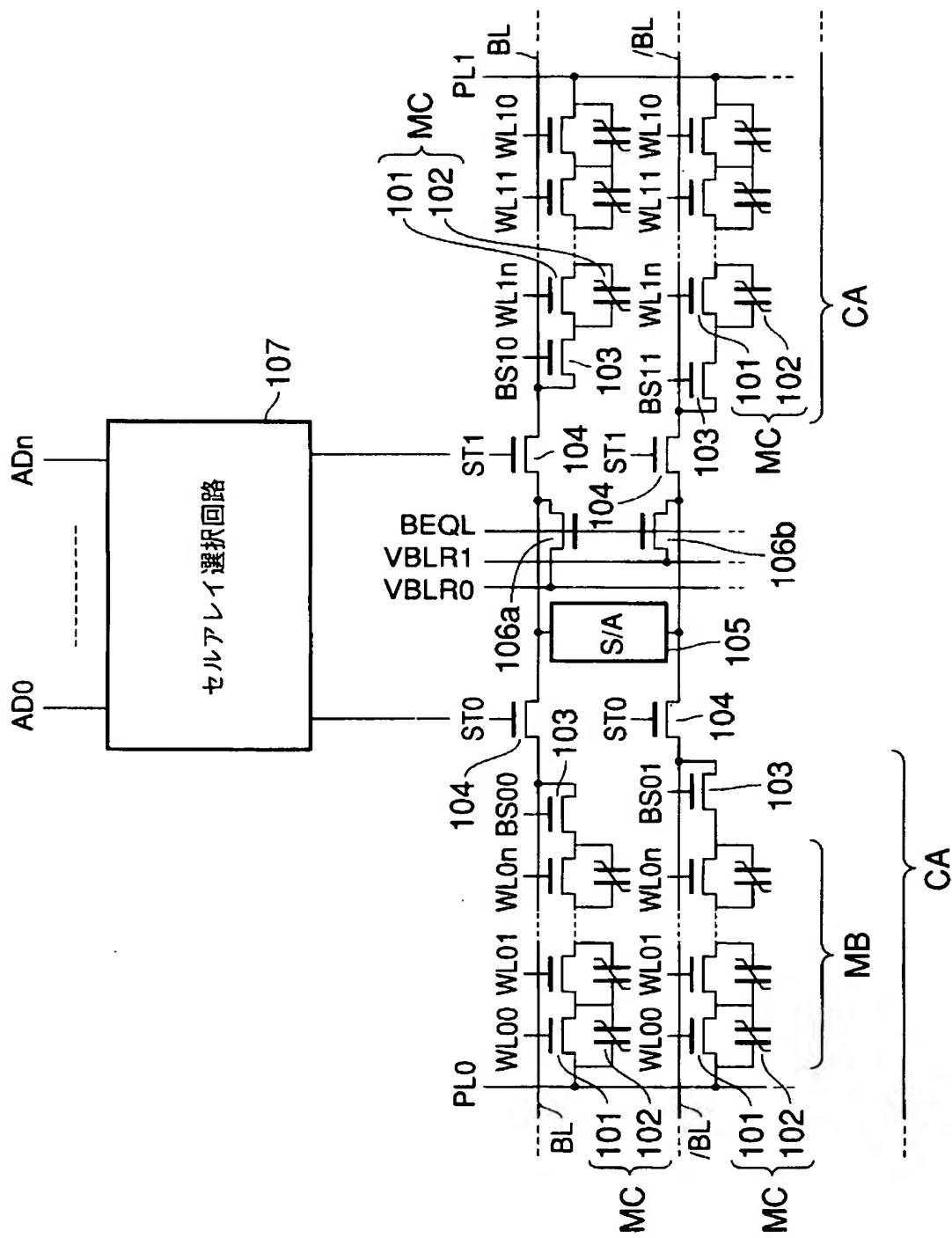
【図9】



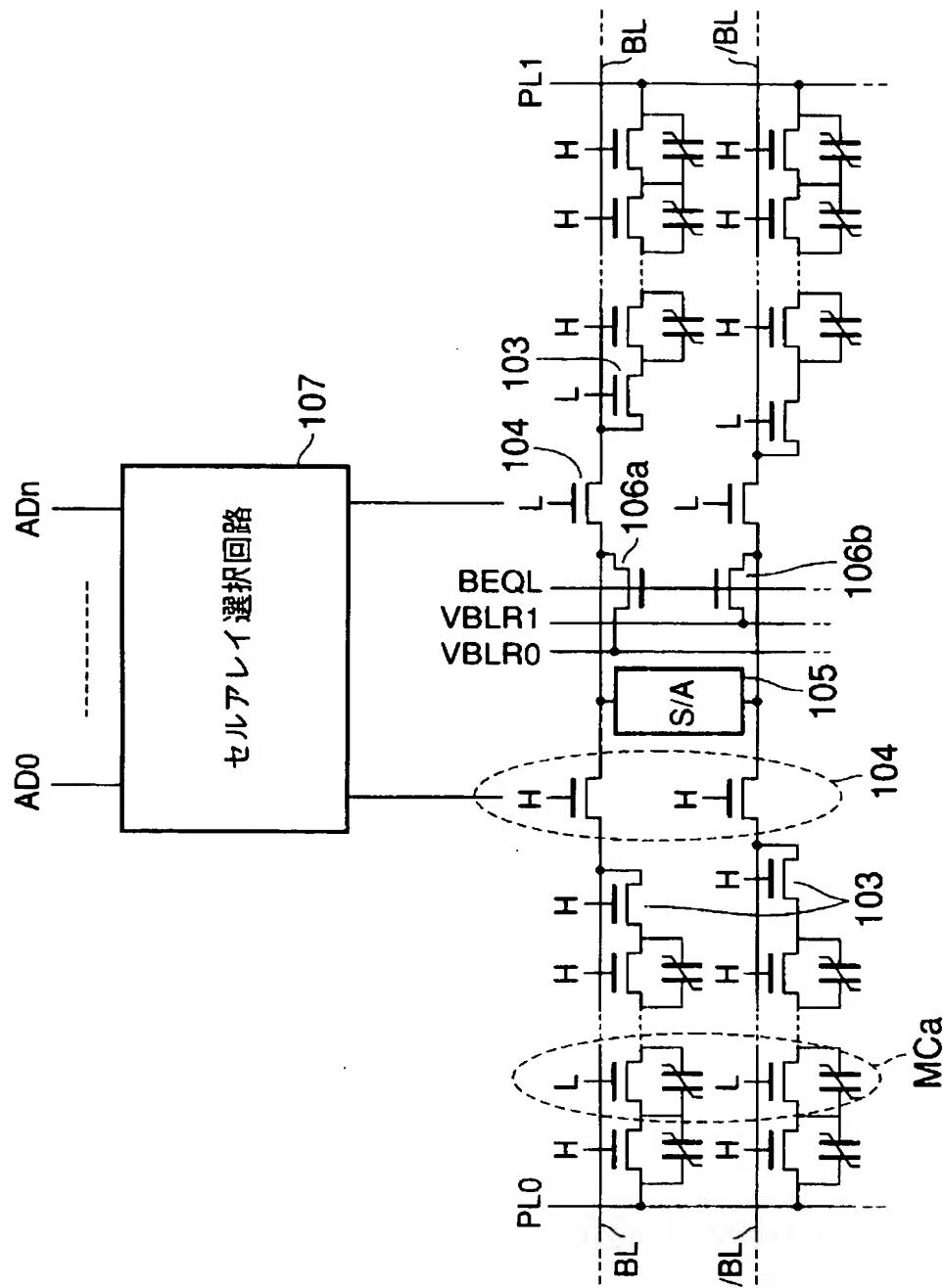
【図 10】



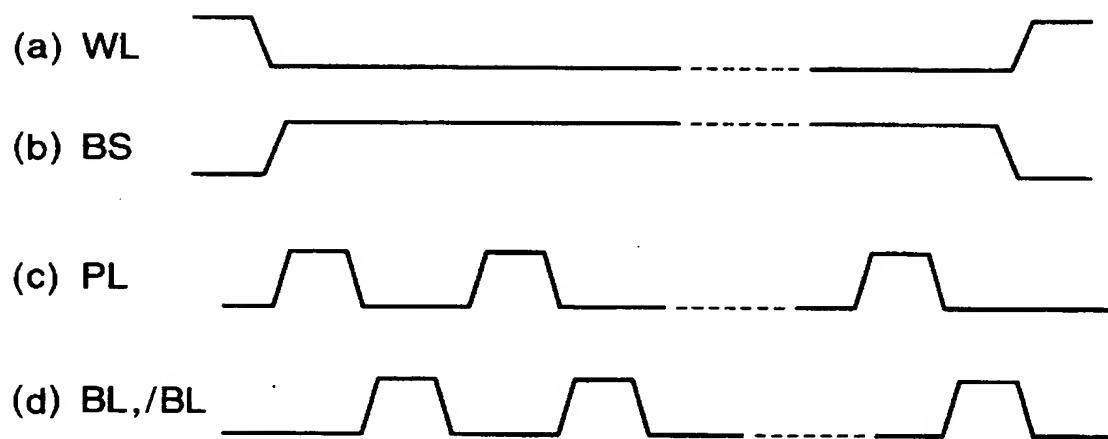
【図11】



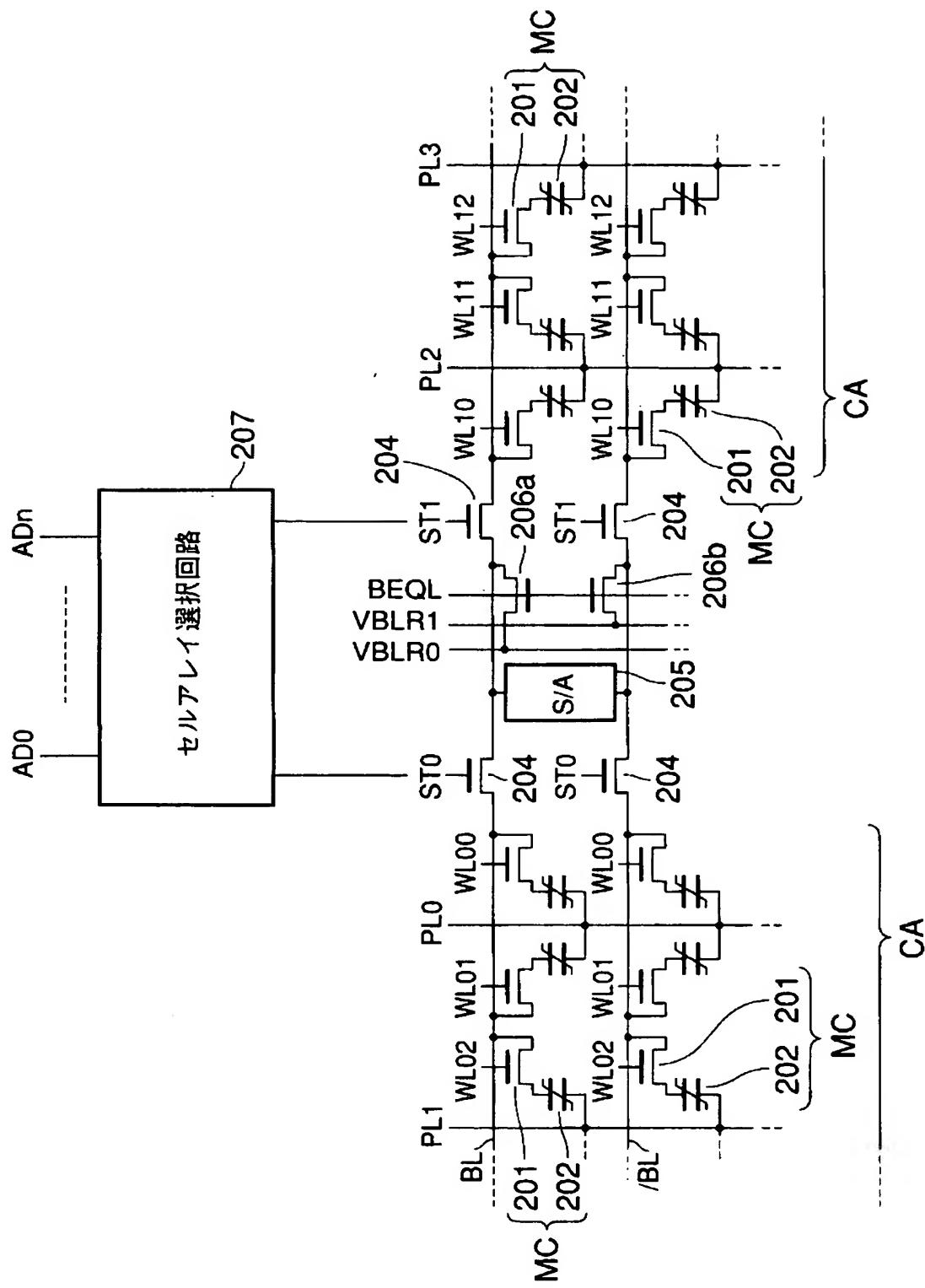
【図12】



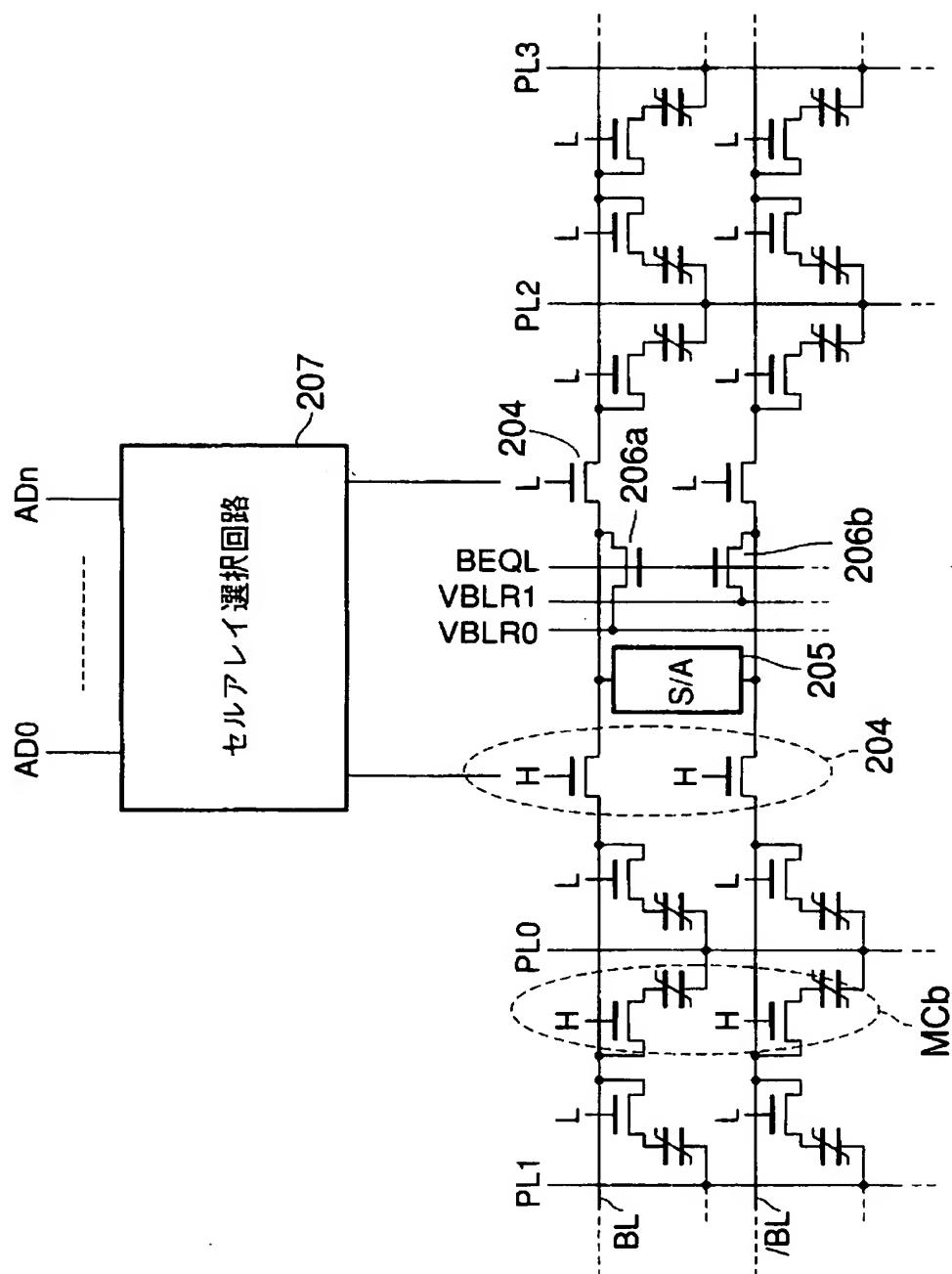
【図13】



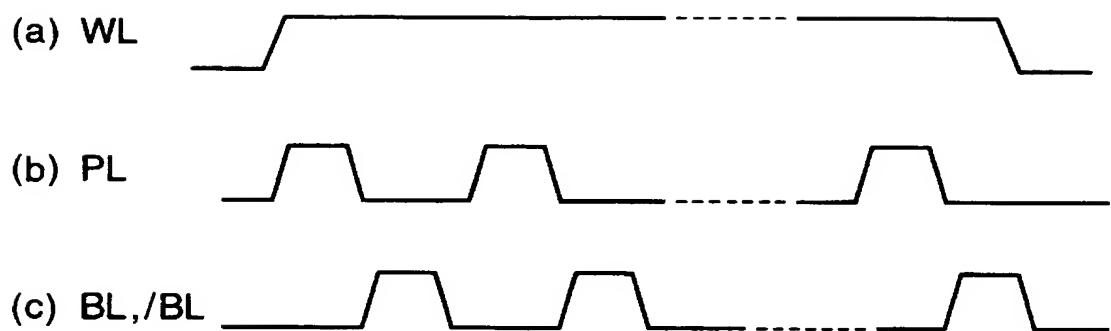
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 本発明は、シェアードセンスアンプ方式のF e R A Mにおいて、ファティーグ試験に要するテスト時間を短縮できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、セルアレイ選択トランジスタ12a, 12bの各ゲートにつながるセルアレイ選択信号線S T 0、および、セルアレイ選択トランジスタ13a, 13bの各ゲートにつながるセルアレイ選択信号線S T 1は、オア回路15a, 15bを介して、セルアレイ選択回路16に接続されている。オア回路15a, 15bの一方の入力端には、それぞれセルアレイ選択回路16の出力が供給される。また、他方の入力端には、それぞれテスト制御信号F T Gが供給される。これにより、ファティーグ試験時には、センスアンプ11の両側のセルアレイC A, C Aが同時に動作される構成とされている。

【選択図】 図1

特願2003-191164

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 [変更理由] 住 所 氏 名	2001年 7月 2日 住所変更 東京都港区芝浦一丁目1番1号 株式会社東芝
2. 変更年月日 [変更理由] 住 所 氏 名	2003年 5月 9日 名称変更 住所変更 東京都港区芝浦一丁目1番1号 株式会社東芝